

1c930 U.S. PTO
10/062465
02/05/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 5967 호
Application Number

출원년월일 : 2001년 02월 07일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001 년 03 월 27 일

특 허 청 장
COMMISSIONER

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 7003
【제출일자】 2001.02.07
【발명의 명칭】 액정표시장치 및 그 제조방법
【발명의 영문명칭】 Liquid crystal display device and method for manufacturing thereof
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 박영우
【대리인코드】 9-1998-000230-2
【프괄위임등록번호】 1999-030203-7
【발명자】
【성명의 국문표기】 김동규
【성명의 영문표기】 KIM,Dong Gyu
【주민등록번호】 630901-1162114
【우편번호】 442-762
【주소】 경기도 수원시 팔달구 인계동 선경아파트 302동 801호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박영우 (인)
【수수료】
【기본출원료】 29 면 29,000 원
【가산출원료】 34 면 34,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 63,000 원
【첨부서류】 1. 요약서-명세서(도면)_1통

【0901】

COG, COF 내지 FPC 등의 연결시 연결 안정성을 확보할 수 있는 액정표시 장치 및
 이의 제조 방법이 개시되어 있다. 액정표시장치의 기판은 중앙의 표시영역과 주변의 비
 표시영역을 갖는다. 상기 표시영역으로부터 비표시영역으로 연장된 선호라인들의 단부에
 외부 회로와 표시영역의 회로를 전기적으로 연결하기 위하여 복수의 단자들이 구비되고
 , 상기 단자들을 덮는 평탄한 보호막이 형성되고, 상기 보호막상에 상기 단자들과 연결
 된다. 상기 복수의 패드들 각각은 콘택영역과 평탄한 접촉영역을 가지며, 상기 각 패드
 는 상기 콘택영역에서 상기 보호막에 형성된 패드 콘택홀을 통하여 하부에 형성된 대응
 단자와 콘택되고, 상기 각 패드는 상기 평탄한 접촉영역에서 이방성 도전수지를 통하여
 외부 회로단자와 압착에 의해 전기적으로 접속된다. 보호막 상의 평탄한 패드영역에 외
 부회로 단자를 연결함으로써 패드와 단자 사이의 전기적 접속성이 향상된다.

【(c)】 5.1.1.1

$$M = 5$$

【발명자】

【발명의 명칭】

액정표시장치 및 그 제조방법(Liquid crystal display device and method for manufacturing thereof)

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래의 액정표시 장치의 제조방법을 설명하기 위한 단면도들이다.

도 2a 및 도 2b는 종래의 각 단자별 콘택 개방에 의해 콘택 단차를 가진 패드구조의 평면도와 범프압착 연결시의 단면도이다.

도 3a 및 도 3b는 종래의 단차를 열광 개방에 의해 평탄한 패드구조의 평면도와 범프압착 연결시의 단면도이다.

도 4는 본 발명의 일 실시예에 의한 데이터 COG 실장 액정표시장치의 평면도이다.

도 5는 도 4의 C-C선 단면도이다.

도 6은 본 발명의 일 실시예에 의한 지그재그로 배열된 패드 구조를 나타낸 평면도이다.

도 7은 도 6의 D-D 선 단면도이다.

도 8은 도 6의 C-C 선 단면도이다.

도 9 내지 도 11은 본 발명의 실시예들에 따른 1열로 배열된 패드구조의 평면도들이다.

도 12는 본 발명의 다른 실시예에 의한 변형된 패드구조의 평면도이다.

도 13a 내지 도 16d를 본 발명의 일 실시예에 의한 액정표시 장치의 제조방법을 나타낸 순서도이다.

도면의 주요 부분에 대한 부호의 설명

200 : 기판 201, 202a, 202b : 단자

203 : 보호막 204, 205, 206 : 패드

204a, 205a, 206a : 콘택영역 204b, 205b, 206b : 접착영역

207 : 이방성 도전 접착수지 208 : 도전분

210 : COG IC 211, 212 : 버프

220 : FPC

400 : 제 1 기판 405 : 게이트 전극

410 : 게이트 입력단자 415 : 게이트 라인

420 : 게이트 절연막 430 : 반도체층

435 : 오믹 콘택층 440 : 드레인 전극

445 : 소오스 전극 450 : 데이터 입력단자

455 : 박막 트랜지스터 460 : 데이터 라인

465 : 유기 절연막 470 : 소자 영역

475 : 콘택 홀 476 : 패드 콘택홀

480 : 패드 영역 485 : 제 1 마스크

500 : 제 2 마스크 505 : 요철 구조

510 : 반사 전극 512 : 패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<00> 본 발명은 액정표시 장치 및 그 제조방법에 관한 것으로서, 보다 상세하게는 구동 회로에 COG(Chip On Glass), COF(Chip On Film) 또는 FPC(Flexible Printed Circuit film) 등을 연결할 때, 연결 안정성을 향상시킬 수 있는 액정표시 장치 및 그 제조방법에 관한 것이다.

<01> 오늘날과 같은 정보화 사회에 있어서 전자 디스플레이 장치(electronic display device)의 역할을 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다. 이러한 전자 디스플레이 분야는 발전을 거듭하여 다양화하는 정보화 사회의 요구에 적합한 새로운 기능의 전자 디스플레이 장치가 계속 개발되고 있다.

<02> 일반적으로 전자 디스플레이 장치는 다양한 정보를 시각을 통하여 인간에게 전달하는 장치를 말한다. 즉, 전자 디스플레이 장치는 각종 전자 기기로부터 출력되는 전기적 정보 신호를 인간의 시각으로 인식 가능한 광 정보 신호로 변환하는 전자 장치이고, 인간과 전자기기를 연결하는 가교적인 역할을 담당하는 장치라고 할 수 있다.

<03> 이러한 전자 디스플레이 장치에 있어서, 광 정보 신호가 발광 현상에 의해 표시되는 경우에는 발광형 표시(emissive display) 장치로 불리며, 반사, 산란, 간접 현상

함에 의하여 광 변조로 표시되는 경우에는 수광형 표시(non-emissive display) 장치로 일컬어진다. 능동형 표시 장치라고도 불리는 자기 발광형 표시 장치로는 음극선관(cathode ray tube: CRT), 플라즈마 디스플레이 패널(plasma display panel: PDP), 발광 다이오드(light emitting diode: LED) 및 전계발광 루미네센트 디스플레이(electroluminescent display: ELD) 등을 들 수 있다. 또한, 수동형 표시 장치인 자기 수광형 표시 장치로서는 액정표시 장치(liquid crystal display: LCD) (electrochemical display: ECD) 및 전기 영동 표시 장치(electrophoretic image display: EPID) 등을 들 수 있다.

(31) 텔레비전이나 컴퓨터용 모니터 등과 같은 화상표시 장치에 사용되는 가장 오랜 역사를 갖는 디스플레이 장치인 음극선관(CRT)은 표시 품질 및 경제성 등의 면에서 가장 높은 점유율을 차지하고 있으나, 부가운 송량, 큰 용적 및 높은 소비 전력 등과 같은 많은 단점을 가지고 있다.

(32) 그러나, 반도체 기술의 급속한 진보에 의하여 각종 전자 장치의 고체화, 저 전압 및 저 전력화와 함께 전자 기기의 소형 및 소형화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특성을 갖춘 평판 패널(flat panel)형 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

(33) 현재 개발된 여러 가지 평판 디스플레이 장치 가운데 액정표시 장치는 다른 디스플레이 장치에 비하여 낮은 얇고 가벼우며, 낮은 소비 전력 및 낮은 구동 전압을 갖추고 있는 동시에 음극선관에 가까운 화상 표시가 가능하기 때문에 다양한 전자 장치에 광범위하게 사용되고 있다. 또한, 액정표시 장치는 게소가 용이하기 때문에 더욱 그 적용 범위를 확장해가고 있다. 자기 액정표시 장치는 외부 광원을 이용하여 화상을 표시하는 부

과형 액정표시 장치와 외부 광원 대신 자연광을 이용하는 반사형 액정 표시 장치로 구분될 수 있다. 이러한 반사형 내지 투과형 액정표시 장치를 제조하는 방법을 대한민국 특허 공개 제 1999-18395호(발명의 명칭: 다결정 실리콘 박막 트랜지스터 액정 표시 소자의 제조방법), 특허 공개 제2000-66398호(발명의 명칭: 티에프터 엘시디 패널 제조방법) 및 특허 공개 제 2000-59471호(발명의 명칭: 반사형 액정표시 장치 및 그 제조방법) 등에 개시되어 있다.

837 도 1a 내지 도 1c는 종래 액정표시 장치의 제조방법을 설명하기 위한 단면도들이다.

838 도 1a를 참조하면, 절연 물질로 이루어진 기판(10) 상에 알루미늄(Al) 내지 크롬(Cr) 등의 금속을 증착하고, 패터닝하여 게이트 전극(15) 및 게이트 단자(20)를 형성한다. 이어지, 게이트 전극 및 단자(15, 20)가 형성된 기판(10)의 전면에 질화 실리콘을 플라즈마 화학 기상 증착(plasma chemical vapor deposition: LPCVD) 방법으로 적층하여 게이트 절연막(25)을 형성한다.

839 다음에, 상기 게이트 절연막(25) 상에 인시튜(insitu) 도핑된 n⁺ 아몰피스 실리콘을 증착하고 패터닝하여 게이트 전극(15) 상에 아몰피스 실리콘막(30) 및 옴릭 콘택(ohmic contact)층(35)을 형성한다.

840 계속해서, 상기 게이트 전극(15)의 상부에 몰리브덴(Mo), 알루미늄, 크롬 또는

는 텅스텐(3) 등의 금속을 적층하고 패터닝하여 소오스 전극(40) 및 드레인 전극(45)을 형성한다. 이 때, 기판(10)의 패드 영역에는 데이터 입력 단자(도시 안됨)가 형성된다. 따라서, 기판(10)의 주변부인 패드 영역(70)을 제외한 활성 영역(50)에는 게이트 전극(15), 아몰피스 실리콘막(30), 오믹 콘택층(35), 소오스 전극(40) 및 드레인 전극(45)을 포함하는 박막 트랜지스터(Thin Film Transistor: TFT)(60)가 형성된다.

<41> 도 1b를 참조하면, 기판(10) 상의 상기 활성 영역(50) 및 패드 영역(70)의 전면에 유기 레지스트를 적층하여 보호막(75)을 형성함으로써, 액정표시 장치의 하부 기판(10)을 완성한다.

<42> 도 1c를 참조하면, 콘택 홀(80, 81)을 형성하기 위하여 상기 보호막(75)의 상부에 마스크(도시되지 않음)를 위치시킨 다음, 노광 및 현상 공정을 통하여 보호막(75)에 드레인 전극(45) 및 게이트 단자(20)를 부분적으로 노출시키는 콘택 홀(80, 81)을 형성한다.

<43> 이어서, 상기 콘택 홀(80, 81)의 내부 및 유기 절연막(75) 상에 알루미늄 내지 니켈(Ni) 등의 반사율이 우수한 금속을 증착한 후, 증착된 금속을 소정의 화소 형상으로 패터닝하여 반사 전극(85) 및 패드(86)을 형성한다. 다음에, 상기 결과물의 상부에 배향막을 형성하는 한편, 하부 기판(10)에 대응하며, 컬러 필터, 투명전극 및 배향막 등이 형성된 상부 기판(도시되지 않음)을 제조한다.

<44> 다음에, 상부 기판과 하부 기판(10)을 스페이서를 개재하여 연결하고, 상부 기판과 하부 기판(10) 사이의 공간에 액정층을 형성하여 액정 표시 장치를 완성한다.

<45> 완성된 액정 표시 장치에는 패드(86)를 통하여 외부로부터 액정 표시 장치의 구동

전호를 연결하기 위하여 COG(Chip On Glass), COF(Chip On Film) 또는 FPC(Flexible Printed Circuit film)등과 같은 연결 장치들이 접속된다.

<46> 그러나, 전술한 종래의 액정표시 장치의 제조 방법에 있어서, 마막 트랜지스터의 보호막으로 상기 유기 절연막이나 기타 두꺼운 두께를 갖는 막을 적층하기 때문에 아래에 금속층이 위치한 패드 부분과 나머지 부분 사이의 단차로 인하여 COG(Chip On Glass), COF(Chip On Film) 또는 FPC(Flexible Printed Circuit film)의 범프 등을 패드 부분에 연결할 때 압착 불량에 발생하는 단점이 있다.

<47> 도 2a 종래의 각 단차별 콘택 개방에 의해 콘택 단차를 가진 패드구조의 평면도이고, 도 2b는 도 2a의 A-A선을 따른 범프압착 연결시의 단면도이다.

<48> 도 2a 및 도 2b를 참조하면, 종래의 단차 개별 오픈방식 패드 구조에서는 하부 단차(100)와 패드(104)를 전기적으로 연결하기 위하여 보호막(106)에 단차(100) 면적보다는 약간 작은 면적을 가진 패드 콘택홀(102)을 형성한 후에 단차(100)의 면적 보다 약간 넓은 패드(104)를 형성한다.

<49> 따라서, 보호막의 5 μ m 정도로 두께가 두껍게 형성되기 때문에 패드 콘택홀의 단차가 약 3~4 μ m 정도로 높게 나타난다. 여기에, 도전성 물(108b)을 함유한 집착수지(ACF : Anisotropic Conductive Film)(108a)를 도포하고 그 위에 구동 집적회로소자의 단차부에 연결된 범프(110)를 압착하면, 패드(104)와 범프(110) 사이에서 압착된 도전성 물(108b)에 의해 서로 전기적으로 연결되게 된다.

<50> 그러나, 도 2b에 도시한 바와 같이, 패드 콘택홀(102)의 단차에 의해 콘택홀의 주변부에서만 전기적으로 연결되고, 패드(104)의 중앙부에서는 도전물(108b)이 제대로 압

작되지 않아서 전기적 접촉불량이 발생되므로 전체적으로 접촉저항이 커지게 되므로 전기적 특성이 저하되게 된다.

<51> 더구나, 범프와 패드의 미스 얼라인먼트가 발생되면 더욱 더 접촉저항이 커지게 되고 높은 접촉저항에 의해 접촉부에서 많은 저항열이 발생되어 접촉이 끊어지는 불량이 발생되고 이에 장치의 신뢰성이 저하되게 된다.

<52> 따라서, 이와 같은 문제점을 개선하기 위하여 단자 일괄 오픈방식이 도입되었다. 도 3a 및 도 3b는 종래의 단자들 일괄 개방에 의해 평탄한 패드구조의 평면도와 범프압착 연결시의 단면도이다.

<53> 도 3a 및 도 3b를 참조하면, 전체 단자들을 포함하는 개구부(112)를 보호막에 형성하여 복수의 단자들을 오픈시키고, 패드 도전물질을 증착한 다음에 사진식각하여 각 단자별로 패드패턴을 형성하여 콘택 단자가 없는 평탄한 패드(104)를 단자(100)상에 형성한다. 이러한 방법에 의하면, 범프(110)와 패드(104) 사이에서 모든 도전물(108b)이 제대로 압착되므로 접촉성이 향상된다.

<54> 그러나, 도 3b에 도시한 바와 같이, 범프(110)의 미스얼라인먼트가 발생할 경우에는 개구부(112)에 의해 단자(100)들 사이에 보호막이 제거된 상태이므로 X 부분에서와 같이 인접 단자와 범프(110)가 오버랩된 부분에서도 도전물(108b)이 압착되어 두 단자가 하나의 범프에 동시에 전기적으로 접촉되는 불량이 발생한다.

<55> 또한, 도 3b의 Y로 나타낸 바와 같이, 데이터 입력단자가 형성된 부위의 개구부(112) 형성시에 단자(100) 하부의 절연막에 언더컷(under cut)이 발생되어 단자(100)가 들뜨는 필링(peeling) 현상이 발생하거나, 언더컷 부분에 접착수지(108a)가 제대로 도포

되지 않아서 외부로 노출된다. 이와 같은 노출부위에 외부 습기나 오염이 침투되어 단자의 금속과 전기 화학적인 반응을 일으켜서 금속침식 및 부식의 원인이 된다.

【발명이 이루고자 하는 기술적 과제】

<55> 따라서, 본 발명의 목적은 COG, COF 내지 FPC 등의 연결식 연결 안정성을 확보할 수 있는 액정표시 장치를 제공하는 것이다.

<56> 본 발명의 다른 목적은 상기 액정표시장치의 제조하는 데 적합한 액정 표시 장치의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<58> 상술한 본 발명의 목적을 달성하기 위하여, 본 발명의 장치는 기판상의 중앙부에 형성되는 표시영역에는 매트릭스 상으로 화소(픽셀) 어레이를 형성한다. 기판상의 비표시영역에는 콘택영역을 가지며, 상기 화소 어레이의 복수의 컬럼라인들 및 복수의 로우라인들에 각각 전기적 신호를 인가하기 위한 복수의 제1 단자들을 형성한다. 상기 화소 어레이, 제1 단자들을 보호막으로 덮고 상기 보호막에 콘택홀을 형성한다. 상기 보호막 상에 상기 콘택영역 보다 넓은 면적을 가지고, 각 제 1 단자들 각각에 오버랩되도록 상기 보호막 상에 형성되고, 상기 콘택홀을 통하여 상기 각 제 1 단자들에 전기적으로 연결되고, 실질적으로 콘택영역 이외의 영역에서 외부 회로와 전기적으로 연결되는 복수의 제1 패드들을 형성한다.

<59> 상기 복수의 제 1 단자들은 지그재그 형상의 2열로 배열될 수 있다. 상기 복수의 제 1 단자들 중 내측에 위치한 제 1 열의 각 단자들에는 내측으로 치우쳐져 콘택영역이 위치하고, 외측에 위치한 제 2 열의 각 단자들에는 외측으로 치우쳐져 콘택영역이 위치

하루는 내가 배를 타고 있었다.

상기 복수의 제1 패치들의 콘텐츠영역 이외의 영역에는 각각 하나의 픽셀 외로 소자들이 출력된 자들이 변조 분할방식으로 각각 분할된다.

(6) 또한, 본 발명의 실시예에 따르면, 상기 기관 에지를 따라 1열로 배열되고, 상기 보호막 상에 형성된 복수의 제2 패드들이 형성될 수 있다. 상기 제2 패드들의 일측 상에 상기 집적회로소자들의 입력단자들이 반복 분당방식으로 각각 분당된다.

<62> 상기 복수의 제2 패드들의 타측 상에 연성 인쇄회로기판의 단자들이 각각 분당된다.

 그리고, 상기 복수의 제2 패드들은 상기 보호막 하방에 형성된 복수의 제2 단자들과 각각 적어도 하나 이상의 콘택홀들을 통하여 서로 대응하여 전기적으로 연결된다.

<3> 상기 제2 단자들의 각각에서 적어도 하나 이상의 콘택영역들의 중첩적은 적어도 각 단자의 중면적의 1/3이하인 것이 바람직하다. .

상기 제2 단자들은 각각 길이방향의 양단에 콘택영역들이 배치되거나, 각각 길이방
향으로 일정 간격으로 배열된 복수의 콘택영역들이 배치되거나, 각각 폭방향의 양단에
길이방향으로 장정의 콘택영역들이 배치될 수 있다.

상기 제1 패드들은 1열로 배열되고, 각 패드들의 흰색영역 이외의 영역에서 TCP, COF 또는 FPC의 단자들이 각각 분열될 수 있다.

본 발명의 일 실시예에 따른 방사형 액정표시장치는 중앙부에 복수의 화소들이 배열된 트라프 상으로 형성되고, 주변부에 복수의 화소들에 전기적 신호를 인가하기 위한 복수의 단자부들이 형성된 제1 기판과, 상기 제1 기판에 대향하여 형성된 제2 기판과, 제1 기판과 제2 기판 사이에 형성된 액정층을 포함한다. 그리고, 상기 제1 기판상의 중앙부

에는 반사 전극이 형성된다. 반사 전극은 반사된 빛을 균일하게 반사하기 위하여 상대적으로 고저를 갖는 돌출부를 갖도록 형성된다. 보호층은 상기 제1 기판과 상기 반사 전극 사이에 상기 제1 영역 및 제2 영역에 걸쳐서 형성되고, 상기 제1 영역에서는 반사 전극과 동일한 표면 구조를 갖고, 상기 제2 영역에는 상기 복수의 단자부들의 각 콘택영역을 노출하기 위한 개구부를 갖는다. 상기 보호층 상에는 상기 개구부를 포함하고 개구부 면적 보다 넓은 면적을 가지며, 상기 개구부 이외의 영역에서 외부 회로의 단자부가 분당되는 복수의 패드들이 구비된다.

<67> 또한, 본 발명의 장치는 제1 기판에 중앙부에 복수의 화소들이 매트릭스 상으로 형성된 화소 어레이 회로와, 제1 주변부에 상기 복수의 화소들에 각 데이터 라인들을 통하여 데이터 신호를 인가하기 위한 복수의 데이터 패드들과, 제2 주변부에 상기 복수의 화소들에 각 데이터 라인들을 통하여 게이트 신호를 인가하기 위한 복수의 게이트 패드들이 형성된다. 제2 기판에는 상기 제1 기판의 중앙부에 대응하여 컬러필터어레이가 형성되고 그 표면에 투명 공통전극이 형성된다. 제1 기판과 제2 기판 사이에 액정층이 봉입된다.

<68> 또한, 상기 제1 주변부에서 COG 실장방법으로 상기 데이터 패드들에 병렬 분당된 적어도 하나 이상의 데이터 구동 집적회로 칩들과, 상기 제2 주변부에서 COF 실장방법으로 상기 게이트 패드들에 분당된 게이트 구동 집적회로 칩들을 포함한다.

<69> 여기서, 데이터 패드들은 각각 데이터 라인과 콘택되는 콘택영역보다 넓은 면적을 가지고, 상기 콘택영역을 제외한 영역에서 상기 데이터 구동 집적회로 칩의 단자들과 각각 분당되고, 상기 게이트 패드들은 각각 게이트 라인과 콘택되는 콘택영역보다 넓은 면적을 가지고, 상기 콘택영역을 제외한 영역에서 상기 게이트 구동 집적회로 칩의 단자들과

과 각각 분당된다.

60) 상기 다른 목적을 달성하기 위한 본 발명의 제조방법은 기판 상에 도전물질을 증착하고 사진식각하여 게이트 전극, 게이트 라인, 게이트 단자부 등의 게이트 패턴을 형성하고, 상기 게이트 패턴을 게이트 절연막으로 덮고, 상기 게이트 절연막 상에 반도체 물질과 도전 물질을 증착하고 사진식각하여 액티브 패턴, 소오스 및 드레인 전극, 데이터 라인, 데이터 단자부 등의 데이터 패턴을 형성한다. 이어서, 상기 결과물을 보호층으로 덮고, 상기 보호층을 사진식각하여 상기 소오스전극, 게이트 단자부 및 데이터 단자부의 콘택영역을 오픈한다. 그리고, 상기 보호층 상에 도전물질을 증착하고 사진식각하여 화소전극 및 분당패드를 형성하여 상기 분당패드의 면적은 상기 단자부의 콘택영역보다 적어도 두배 이상 넓은 면적으로 형성하고, 상기 분당패드의 콘택영역 이외의 영역에 구동용 집적회로소자의 단자부를 분당한다.

61) 상기 보호층은 그 표면이 불규칙한 요철형태로 형성되고, 상기 화소전극은 표면 반사율이 높은 알루미늄, 알루미늄 합금, 은 및 은합금 들 중 하나로 형성한다. 상기 구동용 집적회로소자의 실장은 TCP, COF 또는 COG 방법을 사용한다.

62) 본 발명에 의하면, 패드를 두꺼운 보호막 상에 길이방향으로 길게 형성하고, 콘택 영역의 배 이상의 면적을 가지도록 형성하여 콘택영역 이외의 평탄한 영역을 외부회로단자와 접촉하기 위한 접촉영역으로 제공한다. 따라서, 접촉되는 외부회로단자와 패드의 미스 얼라인먼트가 크게 발생하더라도 양호한 접촉특성을 유지할 수 있다.

63) 이하, 본 발명의 바람직한 실시예들에 따른 액정표시 장치를 첨부한 도면들을 참조하여 상세하게 설명한다.

<74> 도 4는 본 발명에 의한 액정표시장치의 평면구성을 나타낸다. 도 4에서 본 발명의 액정표시장치는 TFT 기판(200), 칼라필터기판(300)을 포함한다. 칼라필터기판(300)에는 칼라필터 및 투명공통전극들이 형성된다. TFT 기판(200)과 칼라필터기판(300)은 서로 대향되고 이들 사이에 액정이 주입된 다음에 봉입된다. 칼라필터기판(300)은 TFT 기판(200)에 비하여 면적이 작다. 칼라필터기판(300)과 TFT 기판(200)이 오버랩된 영역이 표시영역(212)이 되고, 오버랩되지 않은 주변영역이 비표시영역(214)이 된다.

<75> 비표시 영역(214)에는 표시영역(212)으로부터 비표시 영역(214)으로 연장된 신호라인들, 게이트 라인들 및 데이터 라인들의 각 단부에 연결된 패드들이 형성된다.

<76> 또한, 비표시 영역(214)에는 데이터 구동 집적회로소자인 COG IC(210)의 일측 단자가 벌브 분당방식으로 데이터 라인 패드들(비도시)에 연결되고, 타측단자는 주변영역에 형성된 회로패턴을 통하여 외부 통합회로기판(비도시)과 연결하기 위하여 필름 케이블 또는 연성 인쇄회로인 FPC(Flexible Printed Circuit)(220)와 연결된다. 그리고, 게이트 라인 패드들(비도시)에는 게이트 구동 집적회로소자가 실장된 연성 인쇄회로기판인 COF(230)가 연결된다.

<77> 도 5는 도 4의 C-C선 단면도이다. 기판(200) 상에 복수의 제1 단자(201), 복수의 제2 단자(202a), 및 복수의 제3 단자(202b)가 형성된다. 제2 단자(202a) 및 제3 단자(202b)는 단속 라인으로 서로 연결된다. 이들 제1, 제2 및 제3 단자들(201, 202a, 202b)은 보호막(203)으로 덮인다. 보호막(203)에는 개개의 제1, 제2 및 제3 단자들(201, 202a, 202b)에 대응하여 패드 콘택홀들(203a, 203b, 203c)이 형성된다. 보호막(203) 상에 제1 패드(204), 제2 패드(205), 제3 패드(206)가 형성된다.

<78> 이들 제1, 제2 및 제3 패드들(204, 205, 206)은 각각 콘택영역(204a, 205a, 206a)

과 접촉영역(204b, 205b, 206b)을 포함한다. 각 패드들의 접촉영역들을 보호막(203)에서 평탄한 면을 가진다. 패드(204, 205, 206)는 이방성 도전 접착수지(207)로 도포된다. 이방성 도전 접착수지(207)는 내부에 복수의 도전볼(208)들을 함유한다.

<79> COF IC(210)의 뱀프(211, 212)를 제1 및 제2 패드들(204, 205)의 접촉영역(204b, 205b)에 얼라인시키고 압착하면, 뱀프(211, 212)와 접촉영역(204b, 205b) 사이에 존재하는 도전볼(208)들이 압착되면서 전기적으로 접촉되게 된다. 뱀프(211)는 COG IC(210)의 출력단자이고, 뱀프(212)는 COG IC(210)의 입력단자이다.

<80> 또한, FPC(220)의 출력 단자(222)를 제3 패드(206)의 접촉영역(206b)에 얼라인시키고 압착하면, 단자(222)와 접촉영역(206b) 사이에 존재하는 도전볼(208)들이 압착되면서 FPC(220)의 단자(222)와 제3 패드(206)은 전기적으로 접촉되게 된다.

<81> 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 패드 구조를 나타낸 평면도이다.

<82> 도 6을 참조하면, 데이터 라인의 연장부에 형성된 복수의 제1 단자(201)들은 피치가 매우 좁기 때문에 지그재그 형상으로 배열된다. 제1 단자(201)들 중 내측에 위치한 제1 열의 각 제1 단자들(201a)에는 내측으로 치우쳐져 콘택영역(204a1)이 위치하고 외측에 접촉 영역(204b1)이 위치하고, 외측에 위치한 제2 열의 각 단자들(201b)에는 외측으로 치우쳐져 콘택영역(204a2)이 위치하고, 내측에 접촉영역(204b2)이 위치한다. COG IC(210)의 출력단자인 뱀프(211)들도 마찬가지로 지그재그 형상의 2열로 배치된다. 제1 열의 뱀프들은 제1 열의 패드들의 접촉영역들에 각각 대응하여 위치하고, 제2 열의 뱀프들은 제2 열의 패드들의 접촉영역들에 각각 대응하여 위치한다.

- 857> 도 7은 도 6의 D-D 선 단면구조를 나타낸다. 도시한 바와 같이, 패드(211)가 패드의 접촉영역에 미스 얼라인먼트되어 과충으로 약간 시프트되었지만 두꺼운 보호막(203) 상에서 압착되기 때문에 인접 단자와 쇼트될 우려가 전혀 없음을 알 수 있다.
- 858> 도 8은 도 6의 E-E 선 단면구조를 나타낸다. 도시한 바와 같이, 콘택영역(204a)에서는 패드 콘택홀(203a)의 단차에 의해 패드(204)의 표면이 평탄하지 못함을 알 수 있다.
- 859> 이와 같이, 본 발명에서는 보호막(203) 상에 패드 콘택홀의 면적 보다 적어도 2배 이상의 넓은 면적을 가진 패드를 형성하고, 콘택영역을 제외한 평탄한 접촉영역에서 구동용 집적회로소자의 단자나 외부 회로 단자와 접촉되므로, 미스 얼라인먼트에 의한 접촉불량을 감소시킬 수 있다.
- 860> 도 9 내지 도 11를 참조하면, 제2 단자(205)들, 제3 단자(206)들은 위치가 제1 단자들에 비하여 다소 넓기 때문에 1열로 배열된다. 1열 배열 패드는 TCP, COF, FPC 방식의 OLB(Out Lead Bonding) 방식에 적합하다. 1열 배열방식에서는 패드의 길이가 길어지기 때문에 콘택영역과 접촉영역의 거리가 길어지게 되어 저항차이가 발생할 수 있다. 이와 같은 경우에는 각 단자마다 패드 콘택홀을 복수 개 형성하는 것이 바람직하다. 특히, 투과형 액정표시장치에서는 패드물질로서 ITO나 IZO 등을 사용할 수 있다.
- 861> 도 9 내지 도 11은 본 발명의 실시예들에 의한 1열로 배열된 패드구조의 평면도를 이다.
- 862> 도 9에 도시한 바와 같이, 보호막에 단자(250)의 양단부에 각각 1개씩 두 개의 패드 콘택홀(252, 254)을 형성하고 그 위에 패드(256)를 형성한다.
- 863> 또한, 도 10에 도시한 바와 같이, 보호막에 단자(250)의 길이 방향으로 일정하게

다수의 패드 콘택홀(258)을 일정 간격으로 형성하고 그 위에 패드(256)를 형성한다.

<90> 또한, 도 11에 도시한 바와 같이, 보호막에 단자(250)의 폭방향의 양단에 1개씩 두 개의 장형 콘택홀(260, 262)을 각각 형성하고 그 위에 패드(256)를 형성한다. 도 11의 경우에는 장형의 콘택홀 사이의 접촉영역을 충분한 면적이 유지하도록 설계한다. 도 11의 경우는 게이트 절연막 아래에 설치되는 게이트 단자에 대응되는 패드형성 시에 유용하다.

<91> 이와 같이, 각 단자에 대해서 복수 개의 패드 콘택홀을 형성한 경우에는 콘택영역의 면적이 접촉영역의 면적에 비하여 대략 1/3 이하가 되도록 콘택영역을 설정하는 것이 바람직하다. 각 단자에 대하여 복수의 패드 콘택홀을 형성하는 패드방식은 본딩전에 실시하는 풀 프로빙 테스트 시에 프로브의 비스 얼라인먼트에 의해서 발생하는 저항 불균일 문제를 감소할 수 있다. 그리고, 테스트 과정에서 프로브에 의해 패드의 일부가 손상되거나 끊어질 경우에도 다른 콘택에 의해 전기적 연결이 유지될 수 있다.

<92> 도 12는 본 발명에 의한 변형된 패드구조의 평면도이다.

<93> 또한, 도 12에 도시한 바와 같이, 단자(270)의 면적에 비하여 패드(274)의 면적이 적어도 배 이상이 되도록 형성할 수도 있다. 이 경우에 패드 콘택홀(272)은 단자(270)의 면적보다 다소 작은 면적을 가지며, 패드(274)의 콘택영역(274a)은 접촉영역(274b)에 비하여 약 1/2이하로 하는 것이 바람직하다.

<94> 도 13a 내지 도 16d는 본 발명에 따른 액정표시 장치의 제조 공정을 설명하기 위한 단면도 및 평면도들이다.

<95> 도 13a 및 도 13b는 각기 제1 기판 상에 게이트 전극 및 게이트 입력 패드를 형성

한 상태를 나타내는 단면도 및 평면도를 도시한 것이다.

<96> 도 13a 및 도 13b를 참조하면, 유리 또는 세라믹 등과 같은 비전도성 물질로 이루어진 제1 기판(400)의 상부에 알루미늄, 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti), 구리(Cu) 또는 텅스텐(W) 등과 같은 금속을 증착한 후, 증착된 금속을 패터닝(patterning)하여 제1 기판(400)의 폭 방향을 따라 소정의 간격으로 배열되는 게이트 라인(415), 게이트 라인으로부터 분기되는 게이트 전극(405) 그리고 제 1 기판(400)의 외곽까지 연장되는 게이트 입력단자(410)를 형성한다. 이 때, 게이트 입력단자(410)는 패드 콘택홀 형성시 미스 얼라인먼트를 고려하여 게이트 전극(405) 및 게이트 라인(415)에 비하여 넓은 면적을 갖도록 형성된다.

<97> 또한, 상기 게이트 전극(405), 게이트 입력단자(410) 및 게이트 라인(415)은 각각 알루미늄-구리(Al-Cu)의 합금이나 알루미늄-실리콘-구리(Al-Si-Cu)와 같은 합금을 사용하여 형성될 수도 있다.

<98> 도 14a 및 도 14b는 각각 데이터 라인 및 데이터 입력단자를 형성한 상태를 나타내는 단면도 및 평면도를 도시한 것이다.

<99> 도 14a 및 도 14b를 참조하면, 게이트 전극(405), 게이트 입력단자(410) 및 게이트 라인(415)이 형성된 제 1 기판(400)의 전면에 질화 실리콘(Si_3N_4)막을 플라즈마 화학 기상 증착 방법으로 적층한 다음, 적층된 질화 실리콘막을 패터닝하여 게이트 절연막(420)을 형성한다.

<100> 계속해서, 상기 게이트 절연막(420) 상에 반도체 물질인 실리콘을 증착하여 아몰퍼스 실리콘막 및 인 시튜(in-situ)도핑된 n⁺ 아몰퍼스 실리콘막을 플라즈마 화학 기상 증

확 방법으로 차례로 적층한다. 다음에, 상기 반도체 물질로 이루어진 반도체층상에 알루미늄, 폴리프텐, 탄탈륨, 티타늄, 크롬, 텅스텐 또는 구리 등과 같은 금속으로 이루어진 금속층을 적층한다.

<101> 다음에, 아몰피스 실리콘막 및 n^+ 아몰피스 실리콘막을 패터닝하여 게이트 절연막(420) 중 아래에 게이트 전극(405)이 위치한 부분의 상부에는 반도체층(430) 및 오믹 콘택층(435)을 형성하고, 금속층을 패터닝하여 상기 게이트 라인(420)에 직교하는 데이터 라인(460), 데이터 라인으로부터 분기되는 소오스 전극(440)과 드레인 전극(445) 그리고 데이터 라인(460)의 일측의 데이터 입력단자(450)를 형성한다. 이에 따라, 제 1 기판(400)의 중앙부인 소자 형성 영역에는 게이트 전극(405), 반도체층(430), 오믹 콘택층(435), 소오스 전극(440) 및 드레인 전극(445)을 포함하는 박막(TFT) 트랜지스터(455)가 완성되며, 제 1 기판(400)의 외곽부에는 게이트 입력단자(410)와 데이터 입력단자(450)가 형성된다. 이 경우, 데이터 라인과 게이트 라인 사이에는 게이트 절연막(420)이 개재되어 데이터 라인과 게이트 라인 사이에 전기적인 단락이 일어나는 것을 방지한다.

<102> 도 15는 제1 기판 상에 보호막인 유기 절연막을 형성한 상태를 나타내는 단면도를 도시한 것이다.

<103> 도 15를 참조하면, 박막 트랜지스터(455)가 형성된 제1 기판(400)의 소자 형성 영역(470) 및 제1 기판(400) 외곽부의 패드 영역(480)의 전면에 감광성 유기 레지스트(resist)를 스핀 코팅 방법으로 약 3~4 μ m 정도의 두께로 도포하여 유기 절연막(465)을 형성한다.

<104> 반사형 내지 반투과형 액정표시 장치에 있어서, 반사 전극에 요철 구조를 형성하기

이하에 먼저 유기 절연막을 노광 및 현상하여 유기 절연막에 요철 구조를 형성한 다음, 요철 구조가 형성된 유기 절연막의 상부에 반사 전극을 적층함으로써, 반사 전극이 요철 구조를 갖도록 한다. 이와 같이 유기 절연막에 요철 구조를 형성하는 공정으로는 이송막을 풀(full) 노광하는 방법과 단일막을 부분 노광 또는 슬릿(slit) 노광하는 방법이 있다.

도 16a 및 도 16d는 도 14b의 F-F' 선과 G-G선을 따라서 절단하여 유기 절연막을 형성하는 공정을 설명하기 위한 단면도들을 도시한 것이다.

도 16a를 참조하면, 게이트 입력단자(410) 및 데이터 입력패드(450)와 이들의 주변을 노출시키기 위한 제1 마스크(485)를 제1 기판(400) 상에 형성된 유기 절연막(465)의 상부에 위치시킨 다음, 소정의 노광량으로 노광 공정을 진행하고, 현상 공정을 통하여 유기 절연막(465)에 박막 트랜지스터(455)의 드레인 전극(445)을 노출시키는 콘택 홀(475) 및 데이터 및 게이트 입력단자(450, 410)의 패드 콘택홀(476)을 형성한다.

도 16b를 참조하면, 제2 마스크(200)를 유기 절연막(465) 상부에 위치시키고, 계속하여, 부분 노광 내지 슬릿 노광 및 현상 공정을 진행하여 제1 기판(400)의 소자 영역(470)의 유기 절연막(465)에는 마이크로 렌즈(micro lens)인 다수의 요철 구조(505)를 형성한다.

도 16c를 참조하면, 전술한 바에 따라 요철 구조(505)가 형성된 유기 절연막(465)의 상부와 소오스 전극(445)을 노출시키는 콘택 홀(475)의 내부 및 패드 영역(480)에 알루미늄, 니켈, 크롬 또는 은(Ag) 등의 반사율이 우수한 금속을 증착한 후, 증착된 금속을 소정의 화소 형상 및 패드 형상으로 패터닝하여 반사 전극(510) 및 패드(512)를 형성한다. 따라서, 제1 기판(400)의 소자 영역(470)에 형성된 반사 전극(510)에는 유기 절연

장(465)의 형상을 따라 다수의 요철 구조가 형성된다. 이 때, 데이터 입력단자 및 제1 기판(400)의 입력단자(450, 410) 상에는 패드(512)가 형성된다. 패드(512)는 콘택영역(512a)과 접속영역(512b)을 포함하도록 형성한다. 접속영역(512b)은 유기 절연막(465) 상의 평탄한 면에 형성되어 그표면이 평탄하게 형성된다.

<10> 도 16d는 본 실시예에 따라 최종적으로 형성된 액정 표시 장치의 단면도이다. 상기 결과물 상에 제1 배향막(300)을 형성한 다음, 제1 기판(400)에 대향하며, 컬러 필터(310), 공통 전극(315), 제2 배향막(320), 위상차판(325) 및 편광판(330) 등을 구비하는 제2 기판(305)을 제1 기판(400) 상에 배치한다.

<11> 상기 제1 기판(400)과 제2 기판(305) 사이에 다수의 스페이서(335, 336)를 개재시킴으로써 제공되는 제1 기판(400)과 제2 기판(305) 사이의 공간에 액정층(230)을 형성하여 반사형 내지 반투과형 액정표시 장치를 형성한다.

<11> 다음, 상기 제1 기판(400)의 패드부(480)에 형성된 입력 패드들(512)의 접속 부위(512b)상에 도전볼(292)을 포함하는 이방성 수지(290)를 위치시킨 후, COG 등의 방법(294)을 압착 연결하여 반사형 내지 반투과형 액정표시 장치 모듈을 완성하게 된다.

【발명의 효과】

<11> 상술한 바와 같이, 본 발명에서는 패드를 두꺼운 보호막 상에 길이방향으로 길게 형성하고, 콘택영역의 배 이상의 면적을 가지도록 형성하여 콘택영역 이외의 평탄한 영역을 외부회로단자와 접속하기 위한 접속영역으로 제공할으로써 접속되는 외부회로단자와 패드의 미스 얼라인먼트가 크게 발생하더라도 양호한 접속특성을 유지할 수 있다. 특히, 패드가 지그재그형의 2열로 배열되더라도 인접 패드와 쇼트되는 현상이 발생되지 않

는다.

<11> 상기에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

<11> 예컨대, 부과형 액정표시장치인 경우에는 보호막에 요철구조를 형성하지 않고 반사전극 및 패드 물질을 투명도전물질, 즉 ITO, IZO를 사용한다.

【특허 청구범위】

【정구항 1】

기관;

상기 기관상의 표시영역에 매트릭스 상으로 형성된 화소 어레이;

상기 기관상의 비표시영역에 형성되고, 콘택영역을 가지며, 상기 화소 어레이의 복수의 컬럼라인들 및 복수의 로우라인들에 각각 전기적 신호를 인가하기 위한 복수의 제1 단자들을;

상기 각 단자들의 콘택영역에 대응한 콘택홀들이 형성되고 상기 화소어레이, 제1 단자들을 덮는 보호막; 및

상기 콘택영역 보다 넓은 면적을 가지고, 각 제1 단자들 각각에 오버랩되도록 상기 보호막 상에 형성되고, 상기 콘택홀을 통하여 상기 각 제1 단자들에 전기적으로 연결되고, 실질적으로 상기 콘택영역 이외의 영역에서 외부 회로와 전기적으로 연결되는 복수의 제1 패드들을 구비한 것을 특징으로 하는 표시장치.

【정구항 2】

제1항에 있어서, 상기 보호막의 두께는 0.5 μm 이상인 것을 특징으로 하는 표시 장치.

【정구항 3】

제1항에 있어서, 상기 복수의 제1 단자들을 직교배열 형상의 2열로 배열된 것을 특징으로 하는 표시 장치.

【장구항 4】

제3항에 있어서, 상기 복수의 제1 단자들 중 내측에 위치한 제1열의 각 단자들에는 내측으로 상기 콘택영역이 위치하고, 외측에 위치한 제2열의 각 단자들에는 외측으로 상기 콘택영역이 위치하는 것을 특징으로 하는 표시 장치.

【장구항 5】

제4항에 있어서, 상기 복수의 제1 패드들의 상기 콘택영역 이외의 영역에서 출력단자들이 뱅크 분팅방식으로 각각 분팅되는 적어도 하나 이상의 집적회로소자들을 더 포함하는 것을 특징으로 하는 표시 장치.

【장구항 6】

제5항에 있어서, 상기 기판의 에지를 따라 1열로 배열되고, 상기 보호막 상에 형성된 복수의 제2 패드들을 더 포함하고, 상기 제2 패드들의 일측 상에 상기 집적회로소자들의 입력단자들이 뱅크 분팅방식으로 각각 분팅되는 것을 특징으로 하는 표시 장치.

【장구항 7】

제6항에 있어서, 상기 복수의 제2 패드들의 타측 상에 연성 인쇄회로기판의 단자들이 각각 분팅되는 것을 특징으로 하는 표시 장치.

【장구항 8】

제6항에 있어서, 상기 복수의 제2 패드들은 상기 보호막 하부에 형성된 복수의 제2 단자들과 각각 적어도 하나 이상의 콘택홀들을 통하여 서로 대응하여 전기적으로 연결된 것을 특징으로 하는 표시 장치.

【정구항 9】

제8항에 있어서, 상기 제2 단자들을 각각에서 적어도 하나 이상의 콘택영역들의 중면적은 적어도 각 단자의 중면적의 1/3이하인 것을 특징으로 하는 표시 장치.

【정구항 10】

제9항에 있어서, 상기 제2 단자들은 각각 길이방향의 양단에 콘택영역들이 배치된 것을 특징으로 하는 표시장치.

【정구항 11】

제9항에 있어서, 상기 제2 단자들은 각각 길이방향으로 일정 간격으로 배열된 복수의 콘택영역들이 배치된 것을 특징으로 하는 표시장치.

【정구항 12】

제9항에 있어서, 상기 제2 단자들은 각각 폭방향의 양단에 길이방향으로 장형의 콘택영역들이 배치된 것을 특징으로 하는 표시장치.

【정구항 13】

제1항에 있어서, 상기 제1 패드들은 1열로 배열되고, 각 패드들의 콘택영역 이외의 영역에서 TCP, COF 또는 FPC의 단자들이 각각 분당되는 것을 특징으로 하는 표시장치.

【정구항 14】

중앙부에 복수의 화소들이 매트릭스 상으로 형성되고, 주변부에 복수의 화소들에 전기적 신호를 인가하기 위한 복수의 단자부들이 형성된 제1 기판;

상기 제1 기판에 대향하여 형성된 제2 기판;

상기 제1 기판과 상기 제2 기판 사이에 형성된 액정층;

상기 제1 기관상의 중앙부에 형성되고, 상대적으로 고전압으로 형성된 굽곡부가 구비된 반사전극;

상기 제1 기관과 상기 반사 전극 사이에 상기 제1 영역 및 제2 영역에 걸쳐서 형성되고, 상기 제1 영역에서는 반사 전극과 동일한 표면 구조를 갖고, 상기 제2 영역에는 평탄한 표면구조를 가지며, 상기 복수의 단자부들의 각 콘택영역을 노출하기 위한 개구부를 갖는 보호층; 및

상기 보호층 상에 형성되고, 상기 개구부를 포함하고 개구부 면적 보다 넓은 면적을 가지며, 상기 개구부 이외의 영역에서 외부 회로의 단자부가 분당되는 복수의 패드들을 구비한 것을 특징으로 하는 반사형 액정표시 장치.

【장구항 15】

중앙의 표시영역과 주변의 비표시영역을 가진 기관과, 상기 표시영역으로부터 비표시영역으로 연장된 신호라인들의 단부에 외부 회로와 표시영역의 회로를 전기적 연결을 위한 복수의 단자들과, 상기 복수의 단자들을 덮는 평탄한 보호막 상에 형성된 복수의 패드들을 구비한 액정 표시 장치에 있어서,

상기 복수의 패드들 각각은 콘택영역과 평탄한 침착영역을 가지며,

상기 각 패드는 상기 콘택영역에서 상기 보호막에 형성된 패드 콘택홀을 통하여 하부에 형성된 대응 단자와 콘택되고,

상기 각 패드는 상기 평탄한 침착영역에서 이방성 도전수지를 통하여 외부 회로단자와 압착에 의해 전기적으로 접촉된 것을 특징으로 하는 액정표시장치.

【장구항 16】

중앙부에 복수의 화소들이 매트릭스 상으로 형성된 화소 어레이 회로와, 제1 주변부에 상기 복수의 화소들에 각 데이터 라인들을 통하여 데이터 신호를 인가하기 위한 복수의 데이터 패드들과, 제2 주변부에 상기 복수의 화소들에 각 데이터 라인들을 통하여 게이트 신호를 인가하기 위한 복수의 게이트 패드들이 형성된 제1 기판;

상기 제1 기판의 중앙부에 대응하여 컬러필터어레이가 형성되고 그 표면에 투명 공통전극이 형성된 제2 기판;

상기 제1 기판과 상기 제2 기판 사이에 형성된 액정층;

상기 제1 주변부에서 COG 실장방법으로 상기 데이터 패드들에 분포분당된 적어도 하나 이상의 데이터 구동 집적회로 칩들; 및

상기 제2 주변부에서 COF 실장방법으로 상기 게이트 패드들에 분당된 게이트 구동 집적회로 칩들을 구비하고,

상기 데이터 패드들은 각각 데이터 라인과 콘택되는 콘택영역보다 넓은 면적을 가지고, 상기 콘택영역을 제외한 영역에서 상기 데이터 구동 집적회로 칩의 단자들과 각각 분당되고,

상기 게이트 패드들은 각각 게이트 라인과 콘택되는 콘택영역보다 넓은 면적을 가지고, 상기 콘택영역을 제외한 영역에서 상기 게이트 구동 집적회로 칩의 단자들과 각각 분당되는 것을 특징으로 하는 액정표시장치.

【장구항 17】

기판 상에 제1 도전물질층을 증착하고 사진식각하여 게이트 전극, 게이트 라인 및 제1 **【영구항 18】**를 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴을 게이트 절연막으로 덮는 단계;

상기 게이트 절연막상에 반도체 물질 및 제2 도전 물질을 증착하고, 사진식각하여 액티브 패턴, 소오스 및 드레인 전극들, 데이터 라인 및 데이터 단자부를 포함하는 데이터 패턴을 형성하는 단계;

상기 결과물을 보호층으로 덮는 단계;

상기 보호층을 사진식각하여 상기 소오스전극, 게이트 단자부 및 데이터 단자부의 콘택영역을 오픈하는 단계;

상기 보호층 상에 도전물질층을 증착하고 사진식각하여 화소전극 및 분당패드를 형성하되 상기 분당패드의 면적은 상기 단자부의 콘택영역보다 넓은 면적으로 형성하는 단계; 및

상기 분당패드의 콘택영역 이외의 영역에 구동용 집적회로소자의 단자부를 분당하는 단계를 구비하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 18】

제17항에 있어서, 상기 보호층 상에 형성된 화소전극은 ITO 또는 IZO로 구성된 투명전극인 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 19】

제17항에 있어서, 상기 보호층은 그 표면이 불투명한 요부를 구비하고, 상기 화소

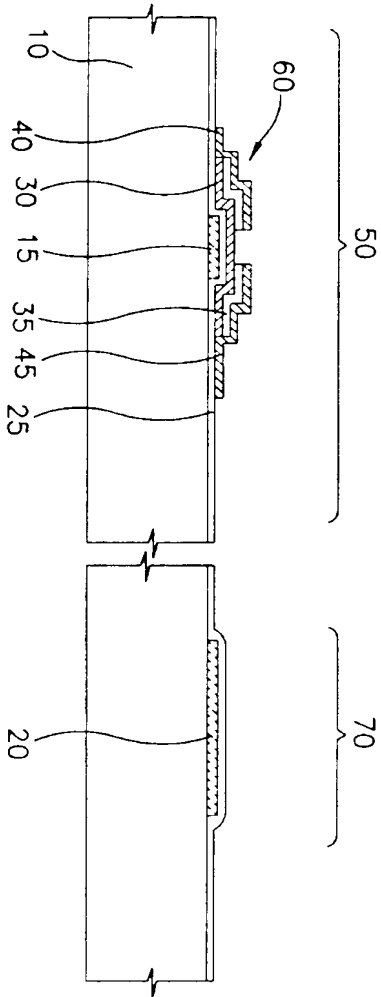
전극은 알루미늄, 알루미늄 합금, 은 및 은합금들로 구성된 군에서 선택된 반사성 금속
으로 이루어진 것을 특징으로 하는 액정표시장치의 제조방법.

【경우항 20】

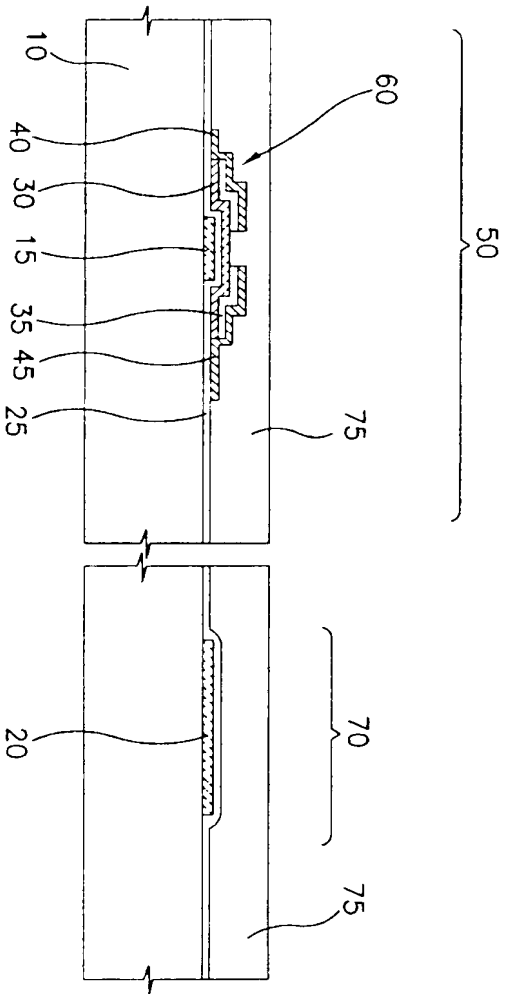
제17항에 있어서, 상기 구동 집적회로소자의 실장은 TCP, COF 또는 COG 방법에 의
해 수행하는 것을 특징으로 하는 액정표시장치의 제조방법.

【図1】

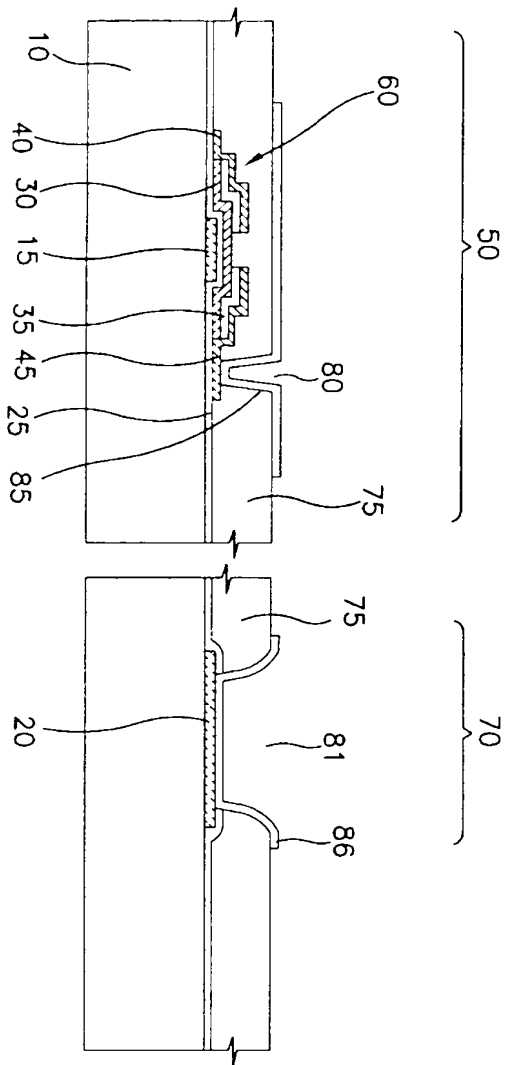
【図1a】



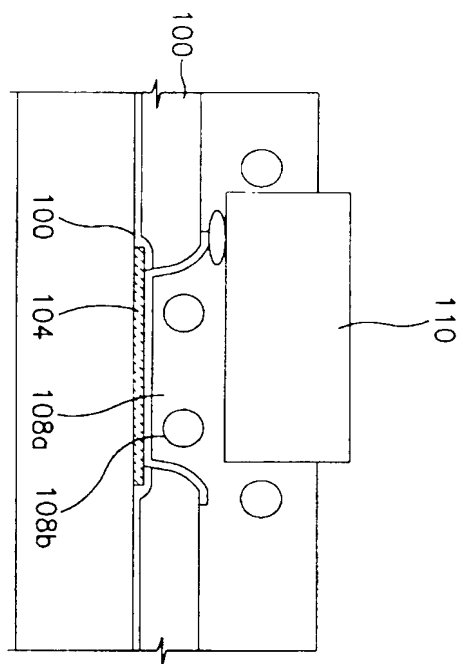
【図 1b】



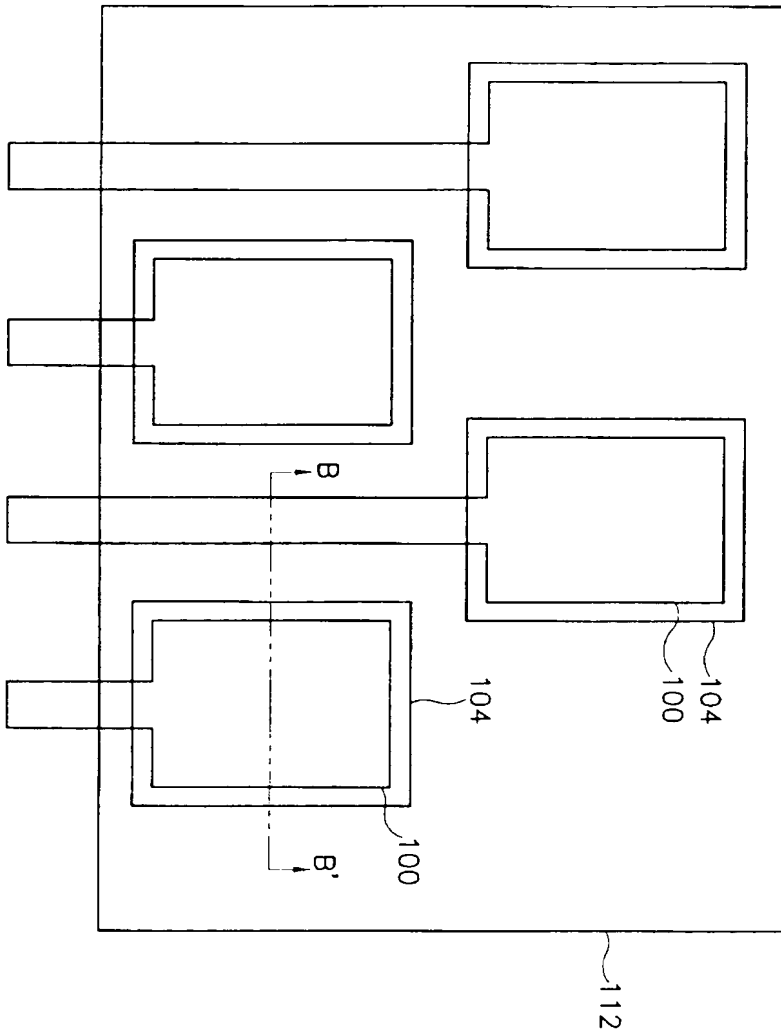
【図 1c】



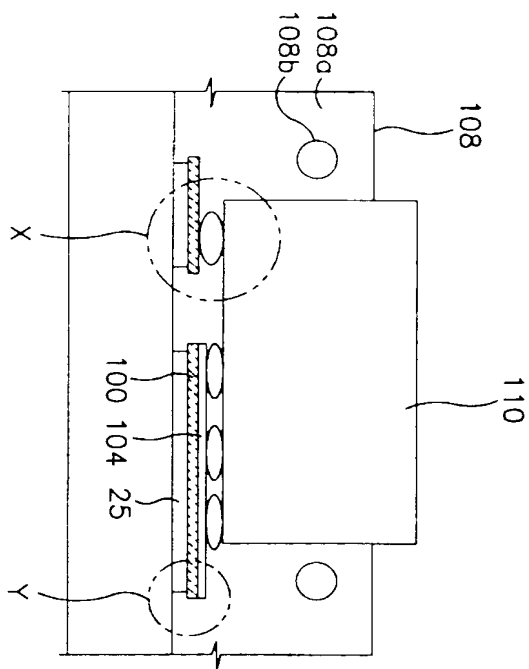
【図 2b】

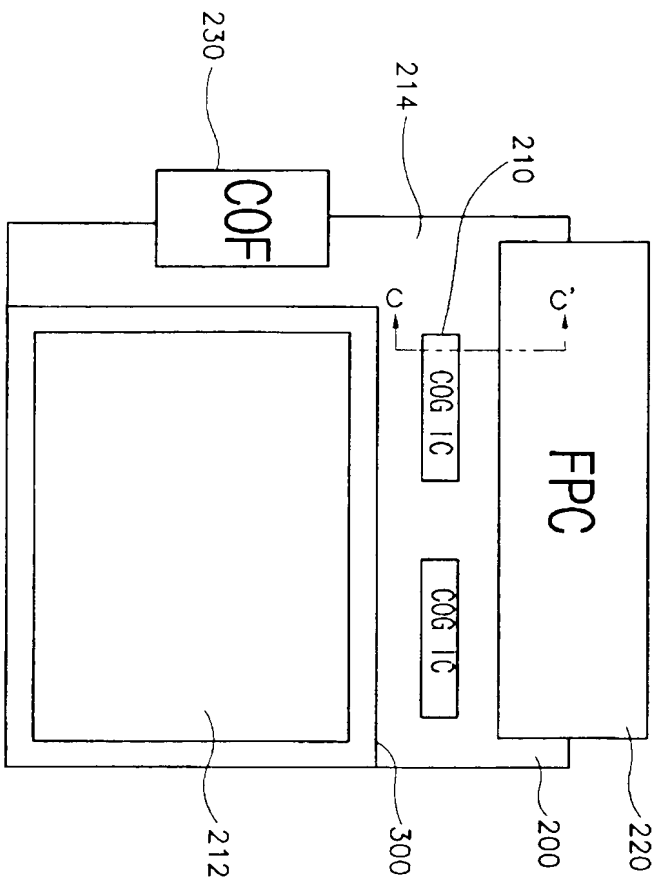


【図 3a】



【図 5b】

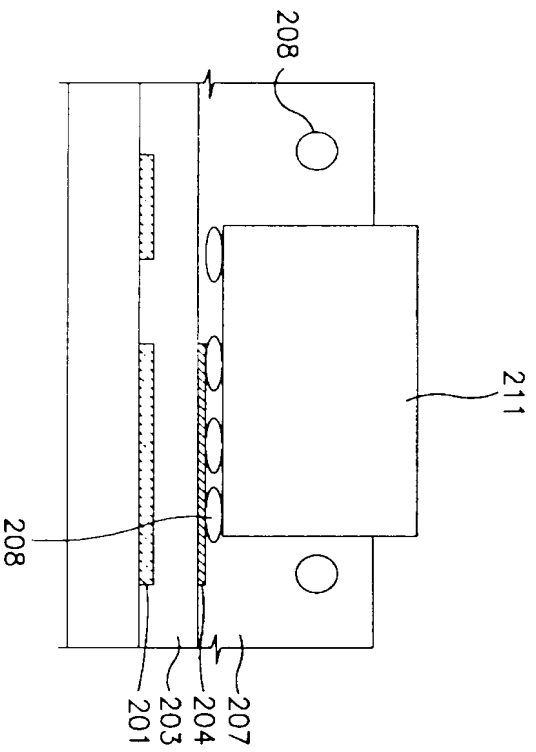




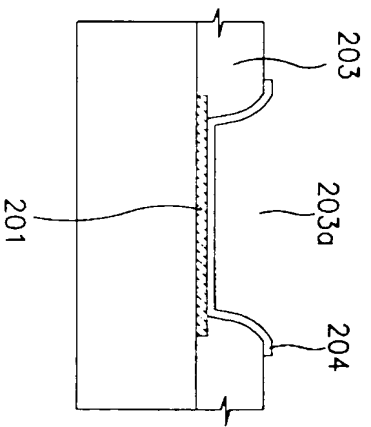
【 例 题 解 析 】



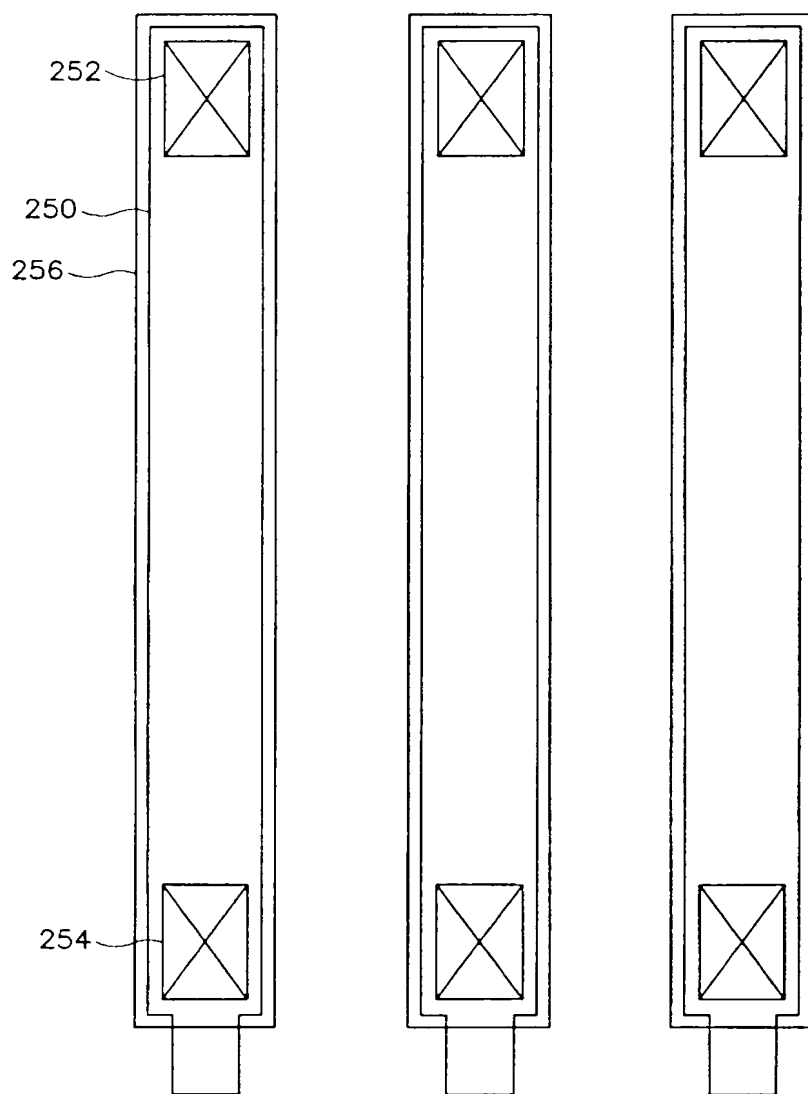
【図 1】



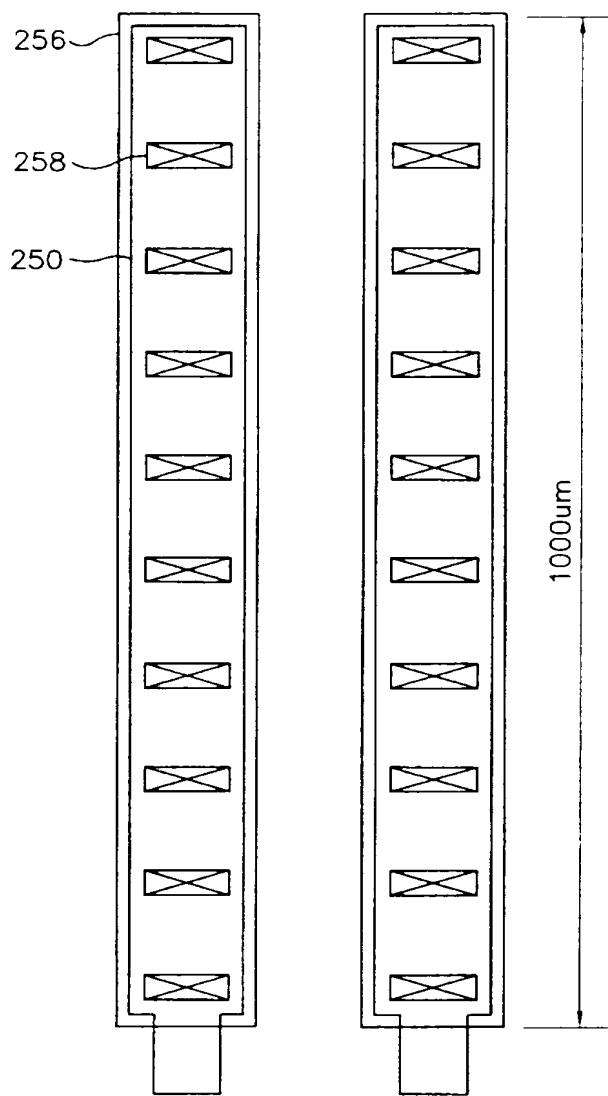
【図 2】



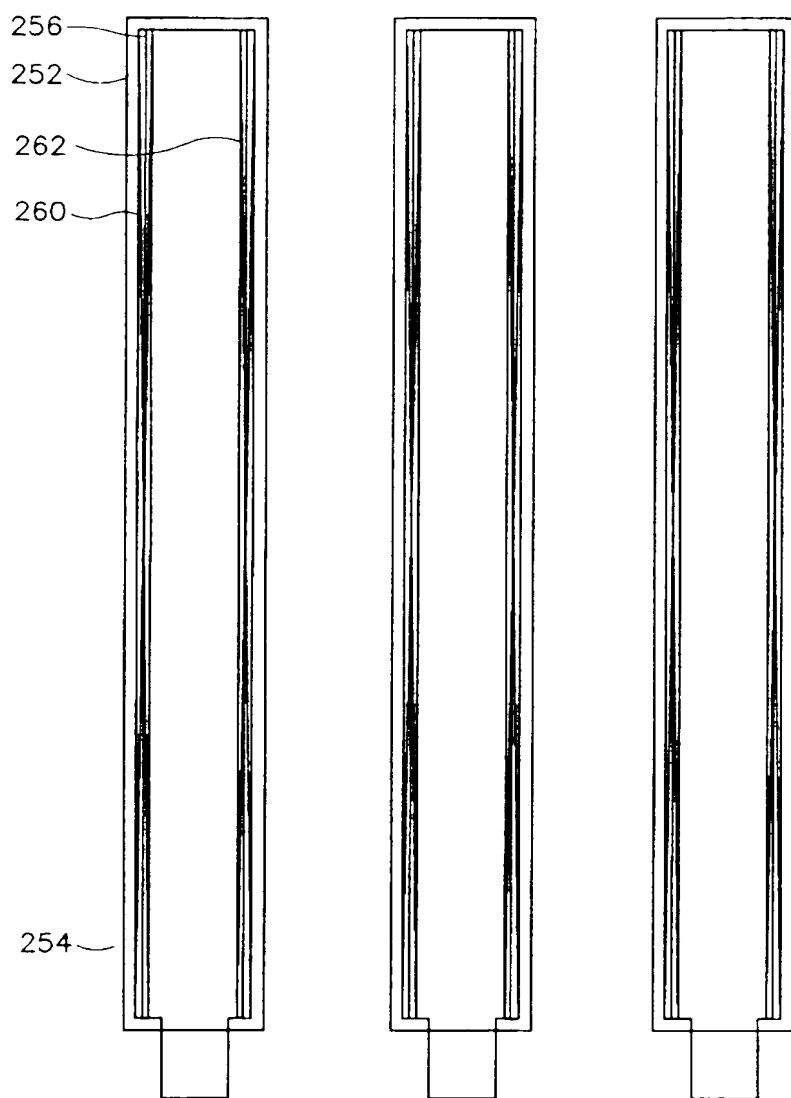
【図 8】



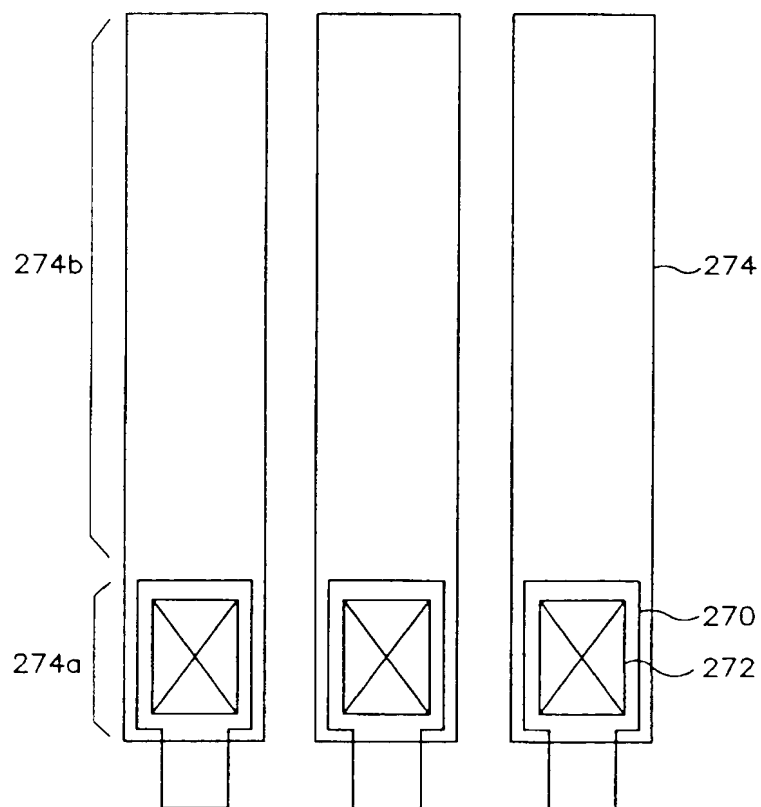
【図 10】



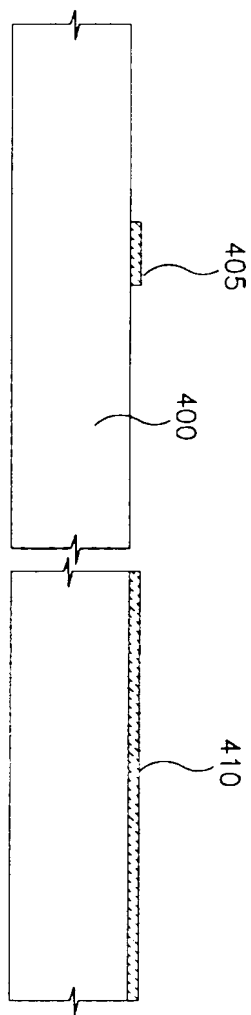
【 25 11 】



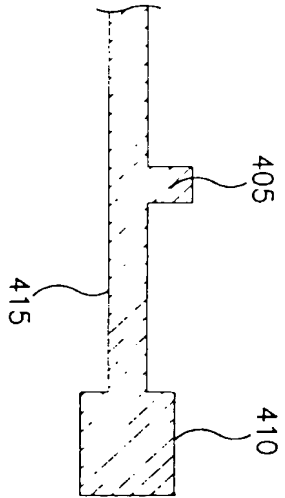
【 5 1 2 】



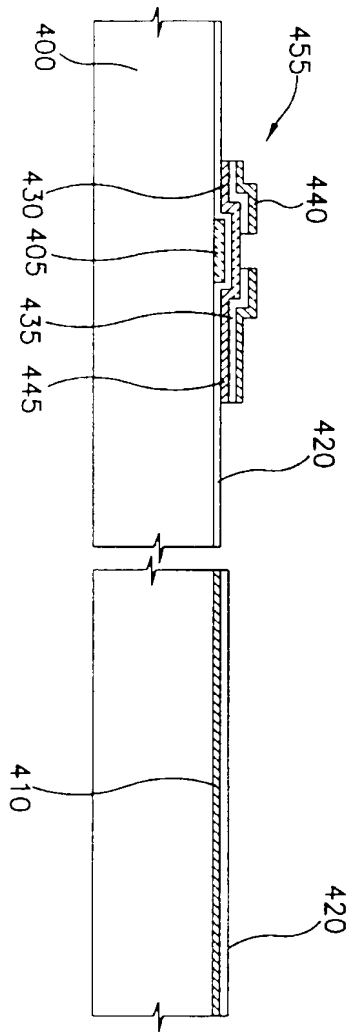
【図 13a】



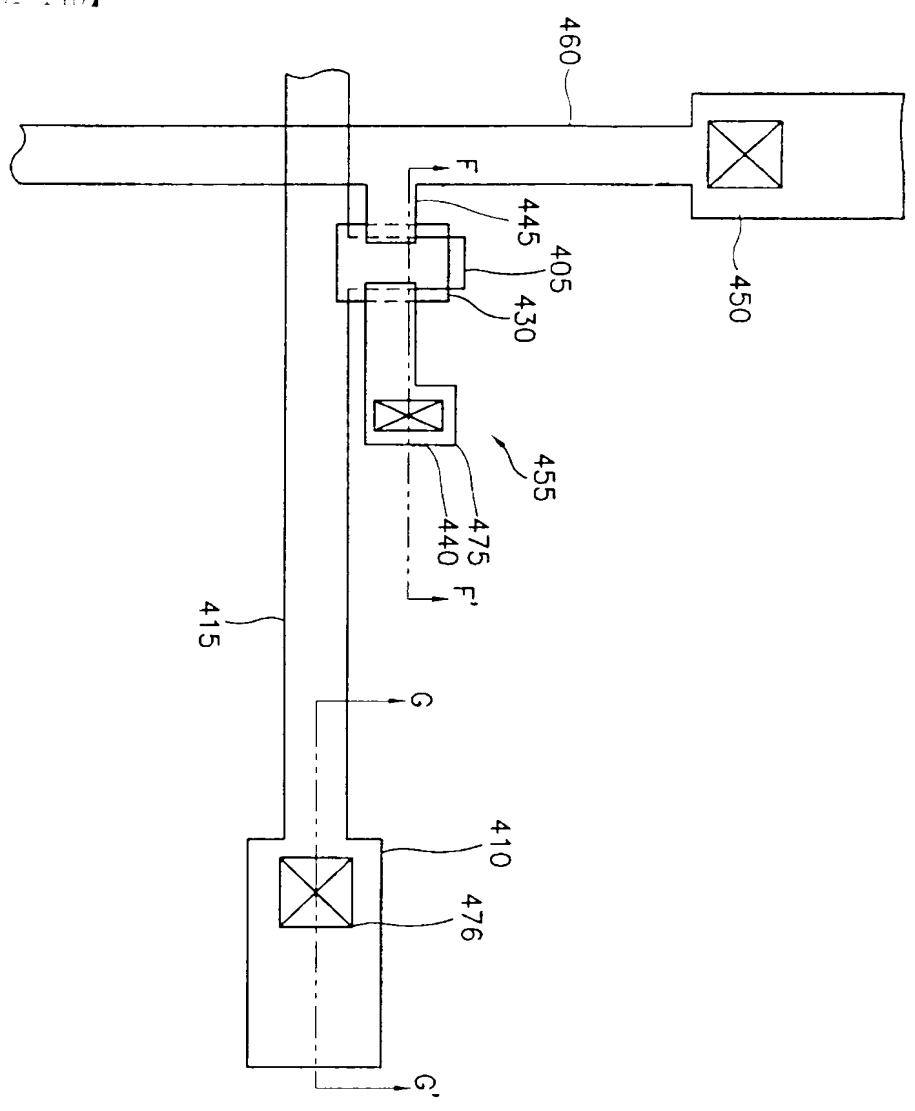
【図 13b】



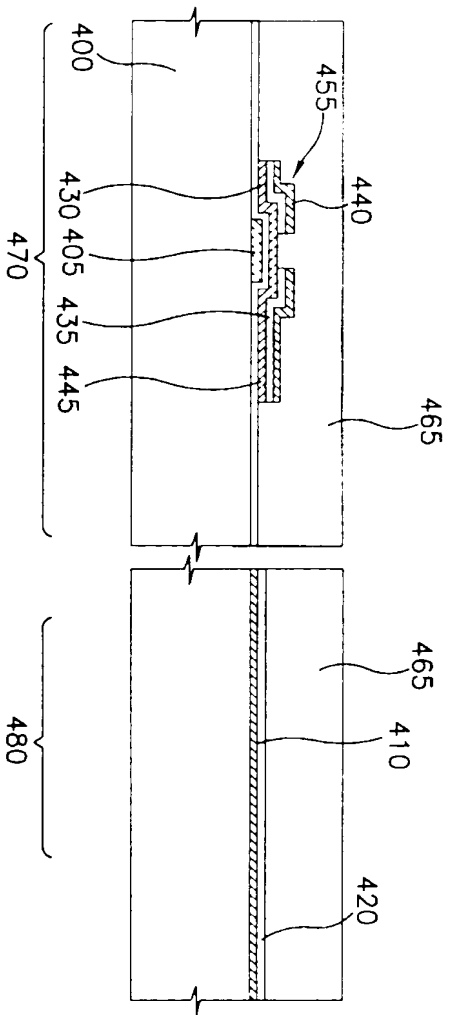
【図 11a】



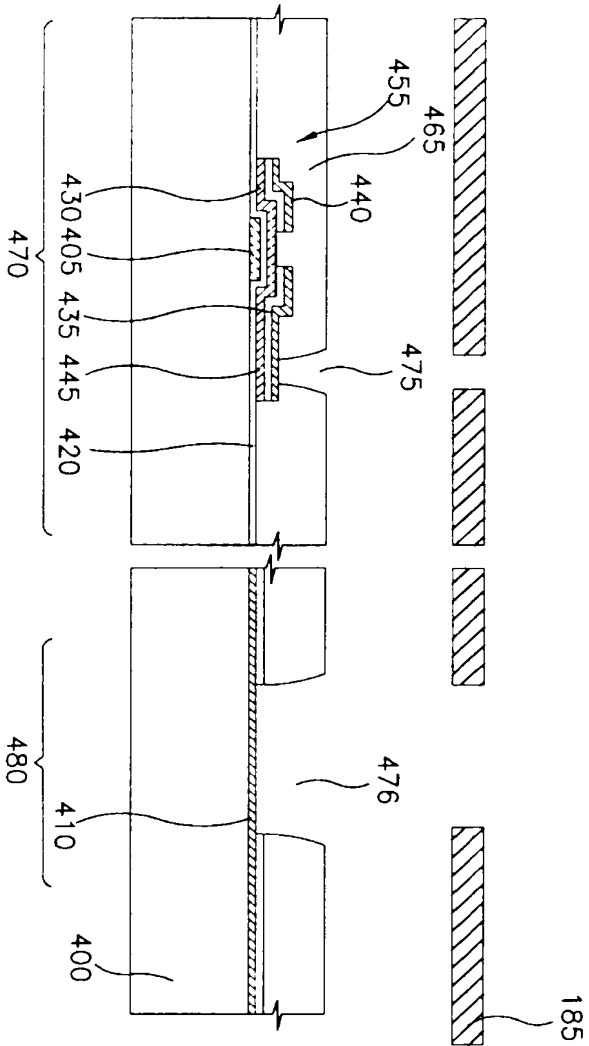
【図 14b】



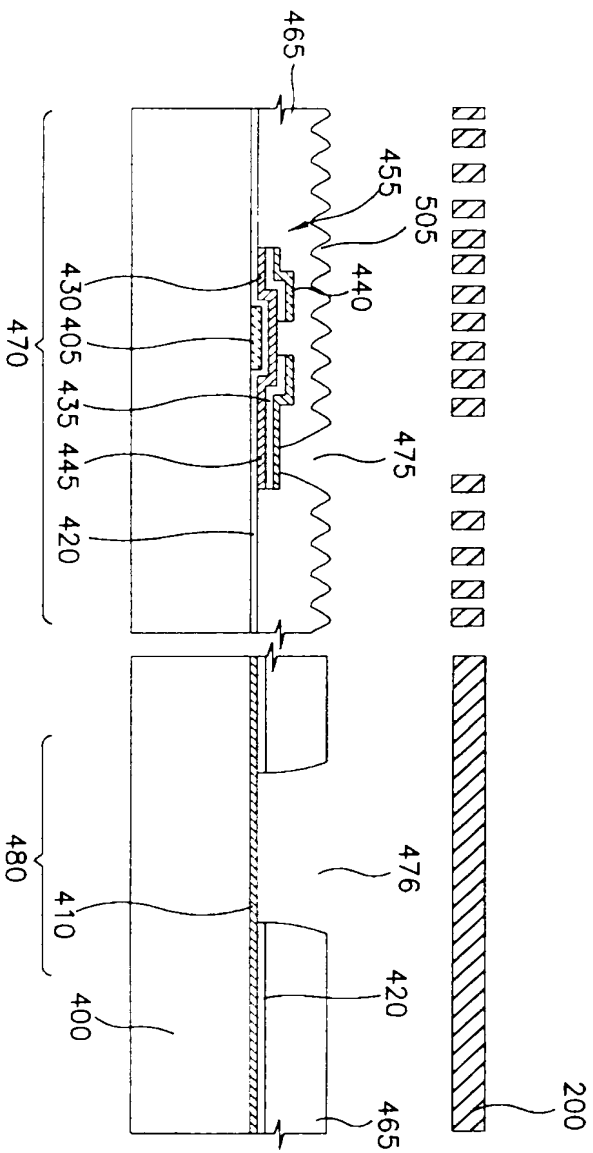
【図 15】



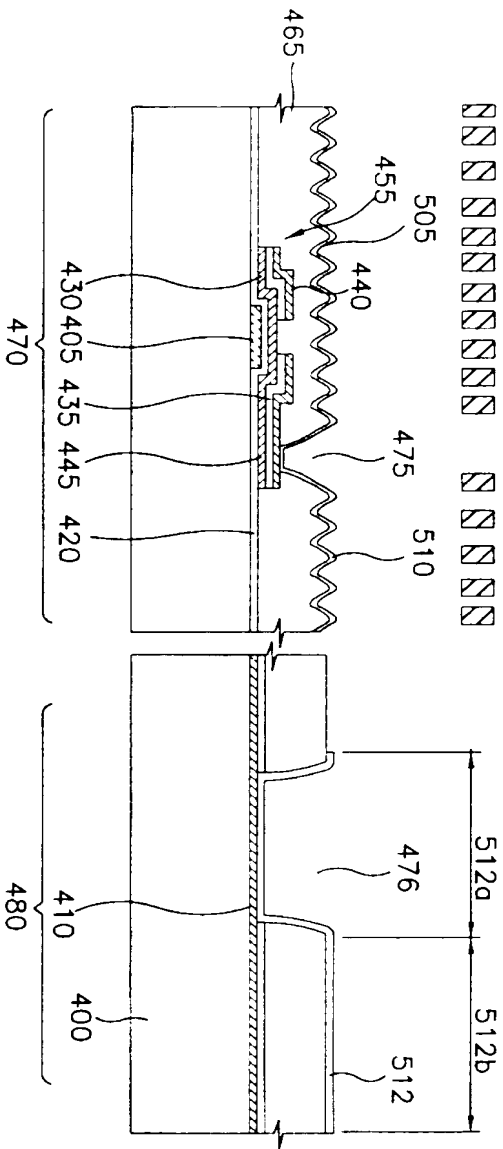
【図 10a】

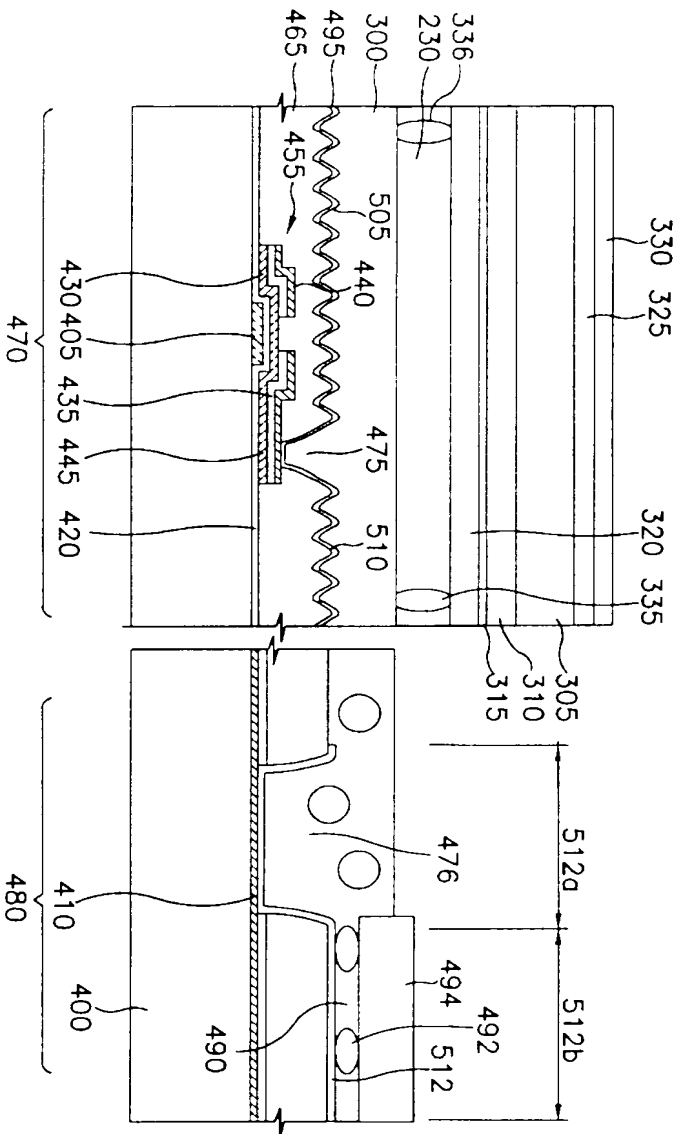


【図 13b】



【A1-Bc】





【Fig. 17】